

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-210076

(43)Date of publication of application : 03.08.2001

(51)Int.Cl. G11C 11/407  
G05F 3/26  
H01L 27/04  
H01L 21/822

(21)Application number : 2000-018315      (71)Applicant : FUJITSU LTD  
FUJITSU VLSI LTD

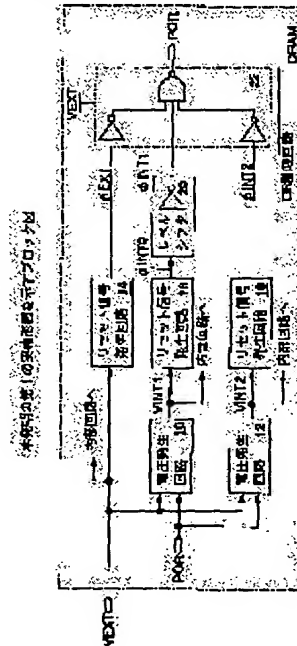
(22)Date of filing : 27.01.2000 (72)Inventor : KATO KOJI  
WAKASUGI NOBUYOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT, AND INTERNAL POWER SOURCE VOLTAGE GENERATING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To generate surely internal power source voltage when external power source voltage is low, in a semiconductor integrated circuit having a voltage generating circuit generating internal power source voltage using external power source voltage.

**SOLUTION:** This device is provided with a voltage generating circuit and a power-on circuit. The voltage generating circuit is controlled by reference voltage, and generates internal power source voltage to be supplied to an internal circuit using external power source voltage externally supplied. When both of external power source voltage and internal power source voltage exceed the prescribed value, the power-on circuit non-activates a power-on reset signal resetting the prescribed internal circuit. The voltage generating circuit supplies forcedly external power source voltage as internal power source voltage at the time of activation of a power-on reset signal. Therefore, when external power source voltage is lower and the voltage generating circuit does not operate normally such as at the time of power-on and the like, internal power source voltage is generated following external power source voltage.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



1

## 【特許請求の範囲】

【請求項1】 基準電圧の制御を受け、外部から供給される外部電源電圧を使用して内部回路に供給する内部電源電圧を発生する電圧発生回路と、

前記外部電源電圧および前記内部電源電圧がともに所定値を超えると、所定の前記内部回路をリセットするパワーオンリセット信号を非活性化するパワーオン回路とを備え、

前記電圧発生回路は、前記パワーオンリセット信号の活性化時に、前記外部電源電圧を強制的に前記内部電源電圧として供給することを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、

前記電圧発生回路は、前記基準電圧と前記内部電源電圧に依存する参照電圧とを受ける差動増幅器と、該差動増幅器の出力で制御され前記外部電源電圧を使用して前記内部電源電圧を発生するレギュレータとを備え、

前記パワーオンリセット信号は、前記差動増幅器または前記レギュレータを制御し、前記レギュレータは、該パワーオンリセット信号の活性化時に、強制的にオンされることを特徴とする半導体集積回路。

【請求項3】 請求項2記載の半導体集積回路において、

前記差動増幅器は、CMOSカレントミラー回路を備えたことを特徴とする半導体集積回路。

【請求項4】 請求項1記載の半導体集積回路において、

前記電圧発生回路は、前記外部電源電圧が供給される外部電源線と前記内部電源電圧が供給される内部電源線とを接続するトランジスタを備え、

前記トランジスタは、前記パワーオンリセット信号の活性化時に、強制的にオンされることを特徴とする半導体集積回路。

【請求項5】 請求項1記載の半導体集積回路において、

複数の前記電圧発生回路を備え、

前記パワーオン回路は、前記外部電源電圧が所定値を超えるとおよび前記電圧発生回路がそれぞれ発生する前記内部電源電圧が所定値を超えると、それぞれのリセット信号を非活性化する複数のリセット信号発生回路を備え、

前記パワーオンリセット信号は、最も遅く非活性化される前記リセット信号に応答して非活性化され、最も早く活性化される前記リセット信号に応答して活性化されることを特徴とする半導体集積回路。

【請求項6】 請求項5記載の半導体集積回路において、

前記電圧発生回路の少なくとも一つは、前記外部電源電圧より低い前記内部電源電圧を発生し、

前記パワーオン回路は、前記リセット信号を論理演算

2

し、演算結果を前記パワーオンリセット信号として出力する演算回路と、

前記低い内部電源電圧に対応する前記リセット信号を受け、高レベル側の電圧レベルを上昇させた該リセット信号を前記演算回路に供給するレベルシフタとを備えたことを特徴とする半導体集積回路。

【請求項7】 基準電圧の制御を受け、外部から供給される外部電源電圧を使用して内部回路に供給する内部電源電圧を発生し、

前記外部電源電圧および前記内部電源電圧がともに所定値を超えると、所定の前記内部回路をリセットするパワーオンリセット信号を非活性化し、

前記パワーオンリセット信号の活性化時に、前記外部電源電圧を強制的に前記内部電源電圧として供給することを特徴とする半導体集積回路の内部電源電圧発生方法。

【請求項8】 請求項7記載の半導体集積回路の内部電源電圧発生方法において、

前記内部回路に供給する複数種類の前記内部電源電圧を発生し、

前記外部電源電圧および前記各内部電源電圧がそれぞれ所定値を超えると、各電源電圧にそれぞれ対応するリセット信号を非活性化し、

前記パワーオンリセット信号を、最も遅く非活性化される前記リセット信号に応答して非活性化し、最も早く活性化される前記リセット信号に応答して活性化することを特徴とする半導体集積回路の内部電源電圧発生方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、外部電源電圧を使用して内部電源電圧を発生する電圧発生回路を有する半導体集積回路およびその半導体集積回路の内部電源電圧発生方法に関する。

【0002】

【従来の技術】近時、バッテリーを使用して駆動される携帯機器が普及してきている。これ等携帯機器に実装される半導体集積回路は、バッテリーを長時間使用可能にするために低消費電力であることが要求されている。この種の半導体集積回路は、外部から供給される外部電源電圧を使用して外部電源電圧より低い電圧の内部電源電圧を発生する電圧発生回路を内蔵し、所定の回路に内部電源電圧を供給することで、低消費電力を実現していることが多い。最近では、半導体集積回路は、複数の電圧発生回路を内蔵しており、複数種類の内部電源電圧が主要な回路ブロックにそれぞれ供給されている。

【0003】図7は、半導体集積回路における内部電源電圧を発生するための主要な回路の例を示している。基準電圧発生回路1は、カレントミラー回路1aを有し、外部電源電圧VEXTを使用して基準電圧VREFを発生している。パワーオンリセット回路2は、外部電源電圧VEXTが所定値を超えると、パワーオンリセット信号PORを

3

非活性化（低レベル）する回路である。カレントミラー回路1aは、パワーオンリセット信号PORの高レベルを受けて、基準電圧VREFを強制的に外部電源電圧VEXTにする機能を有している。基準電圧発生回路1は、外部電源電圧VEXTが低く、カレントミラー回路1aで基準電圧VREFを発生できないときに、パワーオンリセット信号PORにより基準電圧VREFを外部電源電圧VEXTに追従して発生する回路である。すなわち、基準電圧VREFは、外部電源電圧VEXTが低い場合にも安定して発生される。電圧発生回路3は、カレントミラー回路で構成された差動増幅器3aと、pMOSトランジスタからなるレギュレータ3bとを備えている。差動増幅器3aは、基準電圧VREFおよび帰還される内部電源電圧VINTを受け、レギュレータ3bを制御している。レギュレータ3bは、所定の駆動能力を有する内部電源電圧VINTを生成している。

【0004】なお、基準電圧発生回路をパワーオンリセット信号PORで制御する例は、特開平7-130170号公報等に開示されている。

【0005】

【発明が解決しようとする課題】ところで、バッテリーが発生する電源電圧VEXTの電流供給能力は、一般の電源の電流供給能力に比べ低い。このため、例えば、携帯機器に実装される半導体集積回路の各回路が、パワーオン時に一斉に動作を開始した場合、電源電圧VEXTが一時的に低下することがある。

【0006】図8は、そのときの電圧波形を示している。パワーオン時に外部電源電圧VEXTが一時的に低下すると、図7に示した電圧発生回路3の差動増幅器3aは、正常に動作しなくなり、貫通電流が発生する。この結果、内部電源電圧VINTが正常値まで上昇しないという問題が発生する。特に、差動増幅器3aがCMOS回路で構成されている場合には、上記問題が発生しやすい。この理由は、差動増幅器3a（カレントミラー回路）を安定に動作させるために、トランジスタの閾値の2倍以上の外部電源電圧VEXTが供給される必要があるためである。すなわち、CMOS差動増幅器は、低電圧側の動作マージンが小さい。

【0007】さらに、一般に、携帯機器に搭載される半導体集積回路は、消費電力を低減するために動作電圧（例えば、外部電源電圧=2.5V）が低くされている。トランジスタの閾値は、外部電源電圧にほとんど依存しないため、外部電源電圧VEXTに対するトランジスタの閾値の比率は大きくなり、上記問題はさらに発生しやすくなる。また、図8に示したように、内部電源電圧VINTの発生タイミングがずれ、パワーオンリセット信号PORが、内部電源電圧VINTが正しい値に上昇する前に非活性化（低レベル）されると、半導体集積回路内のリセットが必要な回路は、正常な内部電源電圧VINTが供給される前に活性化されてしまう。この結果、これ等回路は、正しくリセットされず、携帯機器がハングアップするおそれ

4

がある。

【0008】一方、上述したように、基準電圧発生回路1は、パワーオンリセット信号PORにより、パワーオン時に基準電圧VREFを外部電源電圧VEXTに追従して発生している。しかしながら、基準電圧VREFを受ける電圧発生回路3が、CMOSの差動増幅器3aを有する場合、たとえ外部電源電圧VEXTに追従する基準電圧VREFを受けても、外部電源電圧VEXTが低い領域では、正しく動作しない。このため、電圧発生回路3は、正常な内部電源電圧VINTを発生できない。

【0009】本発明の目的は、半導体集積回路に供給される外部電源電圧が低いときに、内部電源電圧を確実に発生することにある。特に、本発明の目的は、パワーオン時に、内部電源電圧を外部電源電圧に追従して迅速に上昇させることにある。本発明の別の目的は、CMOSカレントミラー回路を有する電圧発生回路において、CMOSカレントミラー回路に供給される電源電圧が低い場合にも、内部電源電圧を確実に発生させることにある。

【0010】本発明のさらなる目的は、内部電源電圧が供給される内部回路を確実にリセットすることにある。

【0011】

【課題を解決するための手段】請求項1の半導体集積回路は、電圧発生回路とパワーオン回路とを備えている。電圧発生回路は、基準電圧の制御を受け、外部から供給される外部電源電圧を使用して内部回路に供給する内部電源電圧を発生する。パワーオン回路は、外部電源電圧および内部電源電圧がともに所定値を超えると、所定の内部回路をリセットするパワーオンリセット信号を非活性化する。電圧発生回路は、パワーオンリセット信号の活性化時に、外部電源電圧を強制的に内部電源電圧として供給する。このため、パワーオン時等のように外部電源電圧が低く、電圧発生回路が正常に動作しないときに、内部電源電圧は、外部電源電圧に追従して発生する。

【0012】請求項2の半導体集積回路では、電圧発生回路は、差動増幅器とレギュレータとを備えている。差動増幅器は、基準電圧と内部電源電圧に依存する参照電圧を受け、差動増幅した信号を出力する。レギュレータは、差動増幅器の出力で制御され外部電源電圧を使用して内部電源電圧を発生する。パワーオンリセット信号が差動増幅器またはレギュレータを制御することで、レギュレータは、パワーオンリセット信号の活性化時に、強制的にオンされる。この結果、外部電源電圧が低く、差動増幅器が正常に動作しないとき、または基準電圧が正常に発生しないときに、内部電源電圧が外部電源電圧に追従して発生する。

【0013】請求項3の半導体集積回路では、差動増幅器は、CMOSカレントミラー回路を備えている。CMOSカレントミラー回路は、一般に、動作するためにトランジスタの閾値の2倍以上の外部電源電圧が必要である。すな

5

わち、CMOSカレントミラー回路で構成される差動増幅器は、低電源電圧側での動作マージンが小さい。電圧発生回路にこのようなCMOSカレントミラー回路を使用する場合にも、内部電源電圧が確実に発生される。

【0014】請求項4の半導体集積回路では、電圧発生回路は、外部電源電圧が供給される外部電源線と内部電源電圧が供給される内部電源線とを接続するトランジスタを備えている。トランジスタは、パワーオンリセット信号の活性化時に強制的にオンされ、外部電源線と内部電源線とを接続する。このため、外部電源電圧が低く、電圧発生回路のうち、内部電源電圧を発生するために動作する回路が正常に動作しないとき（パワーオンリセット信号の活性化時）に、内部電源電圧が外部電源電圧に追従して発生する。

【0015】請求項5の半導体集積回路は、複数の電圧発生回路を備えている。パワーオン回路は、外部電源電圧および電圧発生回路がそれぞれ発生する内部電源電圧にそれぞれ対応する複数のリセット信号発生回路を備えている。各リセット信号発生回路は、外部電源電圧または内部電源電圧が所定値を超えると、リセット信号を非活性化する。パワーオンリセット信号は、最も遅く非活性化されるリセット信号にตอบสนองして非活性化され、最も早く活性化されるリセット信号にตอบสนองして活性化される。この結果、パワーオンリセット信号を受ける内部回路は、パワーオンリセット信号の非活性化時に、動作に必要な所定の値の電源電圧が確実に供給され、所定の状態にリセットされる。また、パワーオンリセット信号を受ける内部回路は、パワーオンリセット信号の活性化時に、いち早く動作を停止する。

【0016】請求項6の半導体集積回路では、外部電源電圧より低い内部電源電圧を発生する電圧発生回路を備えている。また、パワーオン回路は、演算回路と、レベルシフタとを備えている。演算回路は、各リセット信号を論理演算し、演算結果をパワーオンリセット信号として出力する。レベルシフタは、低い内部電源電圧に対応するリセット信号を受け、高レベル側の電圧レベルを上昇させて演算回路に供給する。このため、パワーオンリセット信号を演算回路を使用して簡易に発生できる。また、リセット信号の高レベルは、レベルシフタにより所定の電圧に上昇されるため、高レベルが確実に演算回路に伝達され、演算回路は確実に動作する。特に、演算回路がCMOSで構成される場合、貫通電流が流れることが防止される。

【0017】請求項7の半導体集積回路の内部電源電圧の発生方法では、基準電圧の制御を受け、外部から供給される部電源電圧を使用して内部回路に供給する内部電源電圧が発生される。外部電源電圧および内部電源電圧がともに所定値を超えると、所定の内部回路をリセットするパワーオンリセット信号が非活性化される。また、パワーオンリセット信号の活性化時に、外部電源電

6

圧が強制的に内部電源電圧として供給される。このため、パワーオン時等のように外部電源電圧が低く、内部電源電圧を発生する電圧発生回路が正常に動作しないときに、内部電源電圧は、外部電源電圧に追従して発生する。

【0018】請求項8の半導体集積回路の内部電源電圧の発生方法では、内部回路に供給する複数種類の内部電源電圧が発生される。外部電源電圧および各内部電源電圧が所定値を超えると、各電源電圧に対応するリセット信号が非活性化される。パワーオンリセット信号は、最も遅く非活性化されるリセット信号にตอบสนองして非活性化され、最も早く活性化されるリセット信号にตอบสนองして活性化される。この結果、パワーオンリセット信号を受ける内部回路は、パワーオンリセット信号の非活性化時に、動作に必要な所定の値の電源電圧が確実に供給され、所定の状態にリセットされる。また、パワーオンリセット信号を受ける内部回路は、パワーオンリセット信号の活性化時に、いち早く動作を停止する。

【0019】

【発明の実施の形態】以下、本発明の実施形態を図面を用いて説明する。図1は、本発明の半導体集積回路および半導体集積回路の内部電源電圧発生方法の第1の実施形態を示している。この実施形態は、請求項1ないし請求項8に対応している。

【0020】この半導体集積回路は、シリコン基板上にCMOSプロセス技術を使用してDRAMとして形成されている。DRAMは、電圧発生回路10、12、リセット信号発生回路14、16、18、レベルシフタ20、および論理演算回路22を有している。DRAMは、図示した以外にも、メモリスセルおよびセンスアンプ等を有するメモリコア部、メモリコア部を制御する複数の制御回路等を有している。DRAMは、外部から外部電源電圧VEXT（例えば3V）を受けている。外部電源電圧VEXTは、入力バッファ、出力バッファ（図示せず）等の内部回路に供給されている。電圧発生回路10は、外部電源電圧VEXTおよびパワーオンリセット信号PORを受け、外部電源電圧VEXTより低い内部電源電圧VINT1（例えば2V）を発生している。電圧発生回路12は、外部電源電圧VEXTおよびパワーオンリセット信号PORを受け、外部電源電圧VEXTより高い内部電源電圧VINT2（例えば4V）を発生している。内部電源電圧VINT1は、メモリコア部等の内部回路に供給されている。内部電源電圧VINT2は、ワードデコーダ等の内部回路に供給され、メモリスセルの伝達ゲートを制御するワード線の高レベル電圧として使用されている。

【0021】リセット信号発生回路14は、外部電源電圧VEXTを受け、リセット信号φEXTを発生している。リセット信号φEXTは、外部電源電圧VEXTが所定値を超えると非活性化（低レベル）される信号である。リセット信号発生回路16は、内部電源電圧VINT1を受け、リセット信号φINT0を発生している。リセット信号φIN

50

7

T0は、内部電源電圧VINT1が所定値を超えるとときに非活性化（低レベル）される信号である。同様に、パワーオンリセット信号発生回路18は、内部電源電圧VINT2を受け、リセット信号φINT2を発生している。リセット信号φINT2は、内部電源電圧VINT2が所定値を超えるとときに非活性化（低レベル）される信号である。

【0022】レベルシフタ20は、リセット信号φINT0の高レベル（内部電源電圧VINT1と同レベル）を外部電源電圧VEXTに変換し、リセット信号φINT1として出力する回路である。論理演算回路22は、インバータおよびNANDゲートで構成されており、外部電源電圧VEXTが供給されている。論理演算回路22は、最も遅く非活性化されるリセット信号φEXT、φINT1、φINT2にตอบสนองしてパワーオンリセット信号PORを非活性化し、最も早く活性化されるリセット信号φEXT、φINT1、φINT2にตอบสนองしてパワーオンリセット信号PORを活性化する回路である。すなわち、この実施形態では、レベルシフタ20と論理演算回路22とで、OR論理回路が構成されている。リセット信号φINT0の高レベルは、レベルシフタ20により外部電源電圧VEXTに変換されているため、リセット信号φEXT、φINT1、φINT2がともに高レベルのときに、論理演算回路22のNANDゲートに貫通電流が流れることが防止されている。

【0023】図2は、電圧発生回路10の詳細を示している。以下の説明では、外部電源電圧VEXTが供給される電源線を、電源線VEXTと称し、接地電圧VSSが供給される接地線を接地線VSSと称し、内部電源電圧VINT1、VINT2が供給される電源線を内部電源線VINT1、VINT2と称する。また、pMOSトランジスタ、nMOSトランジスタを、単にpMOS、nMOSと称する。

【0024】電圧発生回路10は、基準電圧発生回路24、カレントミラー回路で構成される差動増幅器26、レギュレータ28、および差動増幅器26を制御するインバータ30a、30b、NORゲート30c、pMOS30d、nMOS30eを有している。基準電圧発生回路24は、pMOS24a、24b、nMOS24c、24d、抵抗24eで構成されるカレントミラー回路と、直列に接続されるpMOS24f、24gで構成される電圧発生部とを有している。pMOS24a、24b、24fのソースは、電源線VEXTに接続されている。nMOS24cのソース、pMOS24gのゲート、ドレイン、抵抗24eの一端は、接地線VSSに接続されている。pMOS24aのゲート、pMOS24bのゲート、ドレイン、nMOS24dのドレイン、pMOS24fのゲートは、互いに接続されている。pMOS24aのドレイン、nMOS24cのゲート、ドレイン、nMOS24dのゲートは、互いに接続されている。nMOS24dのソースは、抵抗24eの他端に接続されている。pMOS24fおよびnMOS24gのドレインは、互いに接続され、参照電圧VREFを出力している。

【0025】差動増幅器26は、pMOS26a、26b、

8

nMOS26c、26d、26eを有している。pMOS26a、26bのソースは、電源線VEXTに接続されている。nMOS26eのソースは、接地線VSSに接続されている。nMOS26eのゲートは、NORゲート30cの出力に接続されている。pMOS26aのゲート、ドレイン、pMOS26bのゲート、nMOS26cのドレインは、nMOS30dのドレインに接続されている。pMOS26bのドレイン、nMOS26dのドレインは、nMOS30eのドレインおよびレギュレータ28のpMOS28aのゲートに接続されている。nMOS26cのゲートは、参照電圧VREFを受けている。nMOS26dのゲートは、レギュレータ28の抵抗28b、28cに接続されている。nMOS26c、26dのソースは、nMOS26eのドレインに接続されている。

【0026】レギュレータ28は、直列に接続されたpMOS28a、抵抗28b、28cを有している。pMOS28aは、ソースを電源線VEXTに接続し、ドレインを抵抗28bの一端に接続している。pMOS28aのドレインは、内部電源電圧VINT1を出力している。抵抗28bの他端は、抵抗28cの一端に接続され、抵抗28cの他端は、接地線VSSに接続されている。

【0027】インバータ30aは、パワーオンリセット信号PORを受け、反転した信号をnMOS30d、30eのゲートおよびNORゲート30cの入力に出力している。インバータ30bは、外部電源電圧VEXTを受け、反転した信号をNORゲート30cの入力に出力している。インバータ30a、30b、NORゲート30cのpMOS（図示せず）のソースは、電源線VEXTに接続されている。pMOS30dのソースは、電源線VEXTに接続され、nMOS30eのソースは、接地線VSSに接続されている。

【0028】一方、電圧発生回路12は、特に図示しないが、例えば、発振回路から出力されるパルス信号で容量をポンピング動作し、ダイオード接続されたトランジスタを利用して高電圧を発生するブースト回路を有している。図3は、リセット信号発生回路14、16、18およびレベルシフタ20の詳細を示している。

【0029】リセット信号発生回路14は、直列に接続された抵抗14a、14bと、直列に接続された抵抗14c、nMOS14dとを有している。抵抗14a、14bの一端は、電源線VEXT、接地線VSSにそれぞれ接続されている。抵抗14cの一端は、電源線VEXTに接続され、nMOS14dのソースは、接地線VSSに接続されている。抵抗14a、14bの接続ノードは、nMOS14dのゲートに接続されている。抵抗14cおよびnMOS14dの接続ノードからは、リセット信号φEXTが出力されている。nMOS14dは、外部電源電圧VEXTが所定値以下のときオフし、このときリセット信号φEXTは、低レベルになる。nMOS14dは、外部電源電圧VEXTが所定値を超えたときオンし、このときリセット信号φEXTは、高レベルになる。

【0030】リセット信号発生回路16、18は、リセ

9

ット信号発生回路14と同一の論理を有している。リセット信号発生回路16は、内部電源電圧VINT1を受け、リセット信号φINT0を出力している。リセット信号発生回路18は、内部電源電圧VINT2を受け、リセット信号φINT2を出力している。レベルシフタ20は、直列に接続されたpMOS20a、nMOS20bと、直列に接続されたpMOS20c、nMOS20dと、インバータ20e、20fとで構成されている。pMOS20a、20cのソースは、電源線VEXTに接続されている。nMOS20b、20dのソースは、接地線VSSに接続されている。nMOS20bのゲートは、インバータ20eを介してリセット信号φINT0の反転信号を受けている。nMOS20dのゲートは、インバータ20e、20fを介してリセット信号φINT0と同相の信号を受けている。pMOS20aのゲートは、pMOS20cのドレインに接続され、pMOS20cのゲートは、pMOS20aのドレインに接続されている。pMOS20cのドレインからは、リセット信号φINT1が出力されている。インバータ20e、20fのpMOS（図示せず）のソースは、内部電源線VINT1に接続されている。

【0031】図4は、パワーオン時における各電源電圧VEXT、VINT1、VINT2、リセット信号φEXT、φINT1、φINT2、およびパワーオンリセット信号PORの波形を示している。まず、外部電源電圧VEXTの上昇に伴い、パワーオンリセット信号PORの電圧が上昇する（図4(a)）。パワーオンリセット信号PORの電圧の上昇に伴い、図2に示したpMOS30d、nMOS30eがオンし、nMOS26eがオフする。pMOS30dのオン、nMOS26eのオフにより、差動増幅器26は非活性化される。nMOS30eのオンにより、pMOS28aがオンし、外部電源電圧VEXTが強制的に内部電源電圧VINT1として供給される。すなわち、内部電源電圧VINT1は、外部電源電圧VEXTに追従し（図4(b)）、内部電源電圧VINT1を受ける内部回路は、最短の時間で動作可能な状態になる。

【0032】図3に示したリセット信号発生回路14、16は、外部電源電圧VEXTおよび内部電源電圧VINT1の上昇に伴い、リセット信号φEXT、φINT0の電圧を上昇させる（図4(c)）。図1に示した電圧発生回路12は、外部電源電圧VEXTが所定値を超えるまで動作せず、内部電源電圧VINT2を発生しない（図4(d)）。このため、リセット電圧φINT2は発生されない（図4(e)）。電圧発生回路12が動作を開始すると、内部電源電圧VINT2が急激に上昇する（図4(f)）。図3に示したリセット信号発生回路18は、内部電源電圧VINT2の上昇に伴い、リセット信号φINT2の電圧を上昇（活性化）した後、非活性化する（図4(g)）。

【0033】この後、リセット信号発生回路14、16は、外部電源電圧VEXTおよび内部電源電圧VINT1の上昇に伴い、リセット信号φEXT、φINT0の電圧を上昇（活性化）した後、非活性化する（図4(h)）。リセット信号φINT0は、レベルシフタを介してリセット信号φINT1

10

に変換される。図1に示した論理演算回路22は、リセット信号φEXT、φINT1のうち非活性化の遅い信号にตอบสนองしてパワーオンリセット信号PORを非活性化する（図4(i)）。すなわち、パワーオンリセット信号PORは、最も立ち上がりの遅い電源電圧VEXT、VINT1、VINT2にตอบสนองして非活性化される。リセットが必要な内部回路は、パワーオンリセット信号PORが非活性化される前に、動作に必要な所定の値の電源電圧を確実に受けることができ、常に所定のリセット状態にされる。リセット信号を論理演算してパワーオンリセット信号PORを生成する制御、およびリセット信号の論理電圧を変換する制御は、特に、近時のDRAMのように、複数種類の電源電圧を発生する電源電圧発生回路を内蔵した半導体集積回路で重要である。

【0034】一方、図示していないが、パワーオンリセット信号PORは、最も早く活性化されるリセット信号φEXT、φINT1、φINT2にตอบสนองして活性化される。したがって、パワーオンリセット信号PORは、最も立ち下りの早い電源電圧VEXT、VINT1、VINT2にตอบสนองして活性化される。この結果、パワーオンリセット信号PORを受ける内部回路は、いち早く動作を停止する。

【0035】以上、本発明の半導体集積回路および半導体集積回路の内部電源電圧発生方法では、電圧発生回路10は、パワーオンリセット信号PORの活性化を受けて、差動増幅器26を非活性化し、同時にレギュレータ28のpMOS28aのゲートに低レベルを供給することで、外部電源電圧VEXTを強制的に内部電源電圧VINT1として供給した。このため、外部電源電圧VEXTが低く、差動増幅器26が正常に動作しないときに、外部電源電圧VEXTに追従する内部電源電圧VINT1を発生することができる。特に、差動増幅器26がCMOSカレントミラー回路で構成されている場合に、顕著な効果を有する。

【0036】パワーオンリセット信号PORを、最も遅く非活性化されるリセット信号にตอบสนองして非活性化し、最も早く活性化されるリセット信号にตอบสนองして活性化した。このため、パワーオンリセット信号PORを受ける内部回路は、パワーオンリセット信号PORの非活性化時に、動作に必要な所定の値の電源電圧を確実に受けることができる。この結果、内部回路を所定の状態に確実にリセットできる。また、パワーオンリセット信号PORを受ける内部回路は、パワーオンリセット信号PORの活性化時に、いち早く動作を停止できる。

【0037】論理演算回路22は、各リセット信号φEXT、φINT0、φINT2を論理演算し、演算結果をパワーオンリセット信号PORとして出力した。このため、パワーオンリセット信号PORを簡易に発生できる。リセット信号φINT0の高レベル（内部電源電圧VINT1）をレベルシフタ20を介してに変換し、論理演算回路22に供給した。このため、リセット信号φINT0の高レベルを確実に論理演算回路22に伝達でき、論理演算回路22を確実に



11

に動作できる。特に、論理演算回路22のNANDゲートに貫通電流が流れることを防止できる。

【0038】図5は、本発明の半導体集積回路および半導体集積回路の内部電源電圧発生方法の第2の実施形態を示している。この実施形態は、請求項1ないし請求項8に対応している。第1の実施形態と同一の回路については、同一の符号を付し、これら回路については、詳細な説明を省略する。この実施形態では、電圧発生回路32が、第1の実施形態の電圧発生回路10と相違している。その他の構成は、第1の実施形態と同一である。

【0039】電圧発生回路32は、図2に示した電圧発生回路10と同一の基準電圧発生回路24、差動増幅器26およびレギュレータ28を有している。基準電圧発生回路24、差動増幅器26およびレギュレータ28の接続関係は、電圧発生回路10と同一である。内部電源電圧VINT1を出力するノードには、pMOS32aのドレインが接続されている。pMOS32aのソースは、電源線VEXTに接続されている。pMOS32aのゲートは、インバータ32bを介して、パワーオンリセット信号PORの反転信号を受けている。

【0040】この実施形態では、パワーオンリセット信号PORの活性化時（外部電源電圧VEXTが所定値以下の時）に、pMOS32aがオンし、外部電源電圧VEXTが、強制的に内部電源電圧VINT1として供給される。この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。

【0041】図6は、本発明の半導体集積回路および半導体集積回路の内部電源電圧発生方法の第3の実施形態を示している。この実施形態は、請求項1ないし請求項5、請求項7、請求項8に対応している。第1の実施形態と同一の回路については、同一の符号を付し、これら回路については、詳細な説明を省略する。この実施形態では、リセット信号発生回路16、18に供給される電源電圧および論理演算回路34が第1の実施形態と相違している。また、半導体集積回路は、レベルシフタを有していない。

【0042】リセット信号発生回路16におけるリセット信号φINT1を発生するノードに接続された抵抗には、外部電源電圧VEXTが供給されている。リセット信号発生回路18におけるリセット信号φINT2を発生するノードに接続された抵抗には、外部電源電圧VEXTが供給されている。すなわち、この実施形態では、リセット信号発生回路16、18は、レベルシフタの機能を有している。論理演算回路34は、インバータとNANDゲートとを組み合わせたOR回路として構成されている。論理演算回路34には、外部電源電圧VEXTが供給されている。

【0043】この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、複数種類の内部電源電圧を有する半導体集積回路において、パワーオンリセット信号PORを

12

生するためにレベルシフタが不要になる。なお、上述した実施形態では、本発明を、メモリコア部に供給される内部電源電圧VINT1およびワード線に供給される高レベル電圧である内部電源電圧VINT2を発生する制御に適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を、ビット線をリセットするプリチャージ電圧（例えば1.5V）、p形シリコン基板（またはメモリセルのp-well）の基板電圧（例えば-2V）、またはワード線に低レベルを供給するリセット電圧（例えば-1V）等を発生する制御に適用してもよい。

【0044】上述した実施形態では、本発明をDRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、本発明をSRAM、FeRAM（Ferroelectric RAM）、FLASHメモリ等の半導体メモリに適用してもよい。あるいは、DRAMのメモリコアを内蔵したシステムLSI、マイクロコンピュータ、ロジックLSIに適用してもよい。

【0045】また、本発明が適用される半導体製造プロセスは、CMOSプロセスに限られず、Bi-CMOSプロセスでもよい。以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【0046】

【発明の効果】請求項1、請求項2、請求項4の半導体集積回路、および請求項7の半導体集積回路の内部電源電圧発生方法では、外部電源電圧が低いときに、外部電源電圧に追従する内部電源電圧を発生することができる。内部回路は、外部電源電圧が低いときにも、外部電源電圧に追従する内部電源電圧を上げることができる。

【0047】請求項3の半導体集積回路では、電圧発生回路に低電源電圧側での動作マージンが小さいCMOSカレントミラー回路を使用する場合にも、内部電源電圧を確実に発生させることができる。請求項5の半導体集積回路、および請求項8の半導体集積回路の内部電源電圧発生方法では、パワーオンリセット信号を受ける内部回路は、パワーオンリセット信号の非活性化時に、動作に必要な所定の値の電源電圧を確実に受けることができる。この結果、内部回路を所定の状態に確実にリセットできる。また、パワーオンリセット信号を受ける内部回路は、パワーオンリセット信号の活性化時に、いち早く動作を停止できる。

【0048】請求項6の半導体集積回路では、パワーオンリセット信号を演算回路を使用して簡易に発生できる。また、リセット信号の高レベルを確実に演算回路に伝達でき、演算回路を確実に動作できる。特に、演算回路がCMOSで構成される場合、貫通電流が流れることを防止できる。

【図面の簡単な説明】

50

13

【図1】本発明の第1の実施形態を示すブロック図である。

【図2】図1の電圧発生回路の詳細を示す回路図である。

【図3】図1のリセット信号発生回路およびレベルシフタの詳細を示す回路図である。

【図4】パワーオン時における電源電圧、リセット信号、およびパワーオンリセット信号の波形図である。

【図5】本発明の第2の実施形態における電圧発生回路の詳細を示す回路図である。

【図6】本発明の第3の実施形態におけるリセット信号発生回路および論理演算回路の詳細を示す回路図である。

【図7】従来の半導体集積回路における内部電源電圧の発生回路を示す回路図である。

【図8】従来のパワーオン時における電源電圧およびパ\*

14

\*ワーオンリセット信号の波形図である。

【符号の説明】

10、12 電圧発生回路

14、16、18 リセット信号発生回路

20 レベルシフタ

22 論理演算回路

26 差動増幅器

28 レギュレータ

32 電圧発生回路

10 34 論理演算回路

POR パワーオンリセット信号

VEXT 外部電源電圧

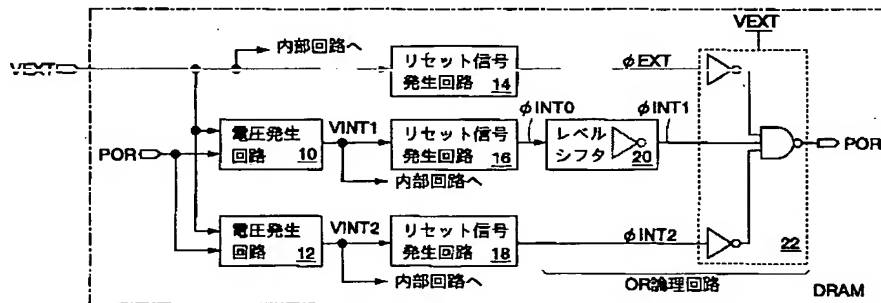
VINT1、VINT2 内部電源電圧

$\phi$ EXT リセット信号

$\phi$ INT0、 $\phi$ INT1、 $\phi$ INT2 リセット信号

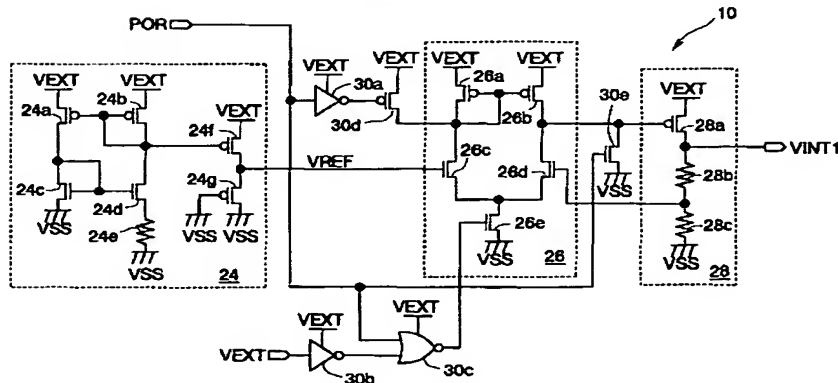
【図1】

本発明の第1の実施形態を示すブロック図



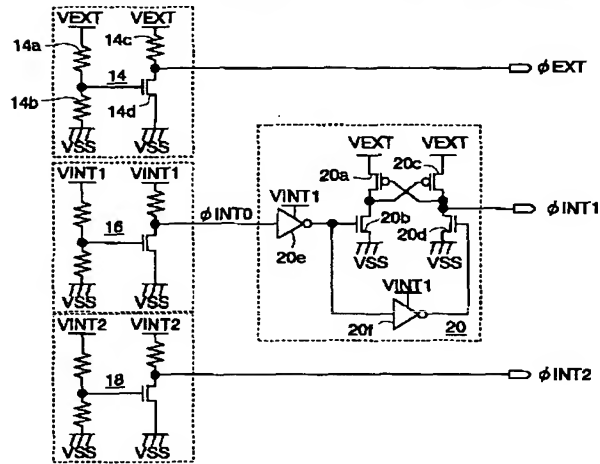
【図2】

電圧発生回路の詳細を示す回路図



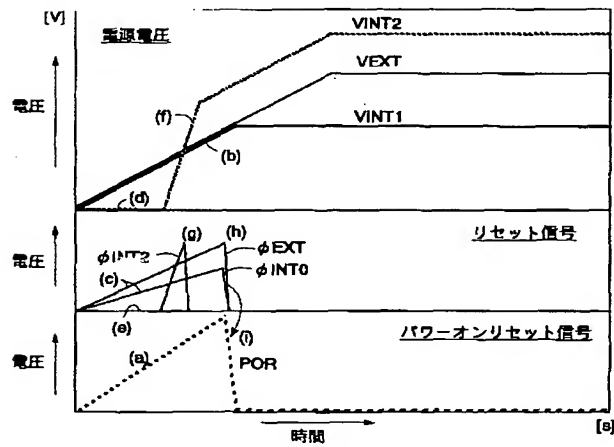
【図3】

リセット信号発生回路およびレベルシフタの詳細を示す回路図



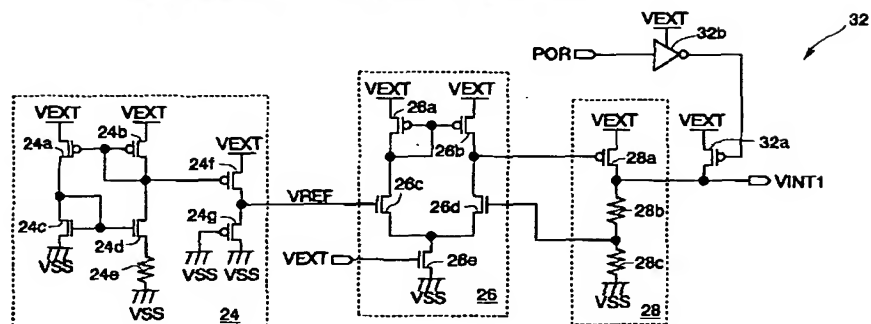
【図4】

パワーオン時における電源電圧、リセット信号、およびパワーオンリセット信号の波形図



【図5】

第2の実施形態における電圧発生回路の詳細を示す回路図





フロントページの続き

(72) 発明者 若杉 信嘉  
愛知県春日井市高蔵寺町二丁目1844番 2  
富士通ヴィエルエスアイ株式会社内

F ターム (参考) 5B024 AA03 BA21 BA27 CA07  
3F038 BE04 BG03 DF01 DF05 EZ20  
5H420 NA31 NB02 NB22 NB25 NC02  
NC03